

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-309117

(43)Date of publication of application : 31.10.2003

(51)Int.Cl.

H01L 21/316
H01L 21/336
H01L 21/8247
H01L 27/105
H01L 27/115
H01L 29/786
H01L 29/788
H01L 29/792

(21)Application number : 2002-111248

(71)Applicant : OMI TADAHIRO
SEIKO EPSON CORP

(22)Date of filing : 12.04.2002

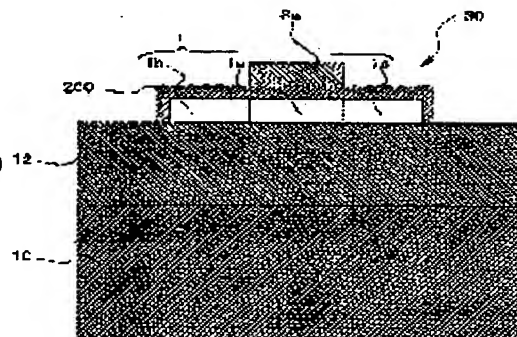
(72)Inventor : OMI TADAHIRO
SUGAWA SHIGETOSHI
TSUNEKAWA YOSHIFUMI
HAYASHI TOMOHIKO

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, AND THIN FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To make excellent insulation or the like even when a gate insulating film composing a transistor is thin in a semiconductor device provided with a thin film transistor or the like.

SOLUTION: The semiconductor device comprises: a semiconductor layer (1) on a base insulating film (12) formed on a substrate (10); an insulating film (200) provided thereon, at least partially containing rare gas and performing heat treatment; and a gate electrode (3a) thereon. TFT (30) is composed of the semiconductor layer, the insulating film and the gate electrode.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-309117

(P 2 0 0 3 - 3 0 9 1 1 7 A)

(43) 公開日 平成15年10月31日 (2003. 10. 31)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/316		H01L 21/316	A 5F058
21/336		29/78	T 5F083
21/8247			V 5F101
27/105			C 5F110
27/115		371	
審査請求 未請求 請求項の数22 O L (全16頁) 最終頁に続く			

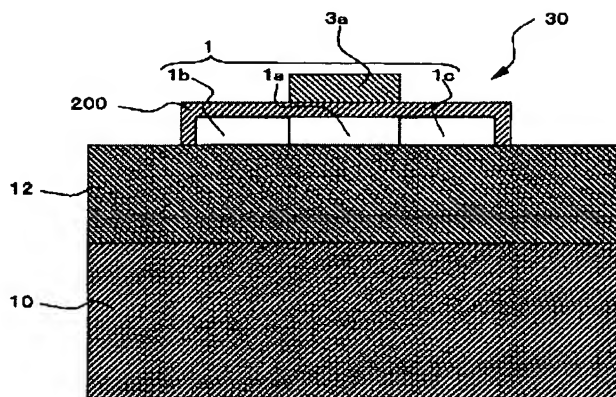
(21) 出願番号	特願2002-111248 (P 2002-111248)	(71) 出願人	000205041 大見 忠弘 宮城県仙台市青葉区米ヶ袋2-1-17-30 1
(22) 出願日	平成14年4月12日 (2002. 4. 12)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
		(72) 発明者	大見 忠弘 宮城県仙台市青葉区米ヶ袋2-1-17-30 1
		(74) 代理人	100095728 弁理士 上柳 雅誉 (外2名)
		最終頁に続く	

(54) 【発明の名称】 半導体装置及びその製造方法並びに薄膜トランジスタ

(57) 【要約】

【課題】 薄膜トランジスタ等を備える半導体装置において、該トランジスタを構成するゲート絶縁膜を、その厚さが薄くても絶縁性等に優れたものとする。

【解決手段】 基板 (10) 上に形成された下地絶縁膜 (12) 上に、半導体層 (1) と、この上に設けられ、その少なくとも一部に希ガスが含まれるとともに熱処理が施された絶縁膜 (200) と、この上にゲート電極 (3a) を備える。半導体層、絶縁膜及びゲート電極は、TFT (30) を構成する。



【特許請求の範囲】

【請求項1】 基板上に、

半導体層と、

該半導体層上に設けられ、その少なくとも一部に希ガスが含まれるとともに熱処理が施された絶縁膜とを備えたことを特徴とする半導体装置。

【請求項2】 基板上に、

半導体層と、

該半導体層上に設けられ、その少なくとも一部に希ガスが含まれる絶縁膜と、

前記半導体層下に前記希ガスが含まれる下層とを備えたことを特徴とする半導体装置。

【請求項3】 前記半導体層下に前記希ガスが含まれる下層を更に備えたことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記基板上に、

前記半導体層及び前記絶縁膜上に形成されたゲート電極を含む薄膜トランジスタを更に備え、

前記半導体層は前記薄膜トランジスタのチャネル領域を含むことを特徴とする請求項1から3のいずれか一項に記載の半導体装置。

【請求項5】 前記下層は、前記基板であることを特徴とする請求項2から4のいずれか一項に記載の半導体装置。

【請求項6】 前記下層は、前記基板上に形成された絶縁性薄膜であることを特徴とする請求項2から4のいずれか一項に記載の半導体装置。

【請求項7】 前記半導体層は、ポリシリコン膜又はアモルファスシリコン膜を含むことを特徴とする請求項1から6のいずれかに記載の半導体装置。

【請求項8】 前記ポリシリコン膜は、その表面に少なくとも(111)面のシリコンを有することを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記希ガスは、Kr(クリプトン)又はAr(アルゴン)を含むことを特徴とする請求項1から8のいずれか一項に記載の半導体装置。

【請求項10】 前記絶縁膜及び前記下層に含まれる希ガスの密度は、それぞれ $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1から9のいずれか一項に記載の半導体装置。

【請求項11】 前記絶縁膜の表面の最大表面粗さ R_{max} は、20nm以下であることを特徴とする請求項1から10のいずれか一項に記載の半導体装置。

【請求項12】 チャネル領域を含む半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガスが含まれるとともに熱処理が施された絶縁膜と、該絶縁膜上に形成されたゲート電極と、を備えたことを特徴とする薄膜トランジスタ。

【請求項13】 チャネル領域を含む半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガス

が含まれる絶縁膜と、

該絶縁膜上に形成されたゲート電極と、

前記半導体層下に前記希ガスが含まれる下層と、

を備えたことを特徴とする薄膜トランジスタ。

【請求項14】 前記半導体層下に前記希ガスが含まれる下層を更に備えたことを特徴とする請求項12に記載の薄膜トランジスタ。

【請求項15】 基板上に半導体層を形成する工程と、該半導体層上に酸素、窒素又は窒素原子を含むガスを含むガス及び希ガスを主体とするガスからなる混合ガスを供給するとともにプラズマを励起して該半導体層の表面を酸化処理又は窒化処理し、絶縁膜を形成する工程と、該絶縁膜に対して熱処理を施す工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項16】 基板上に薄膜トランジスタが形成される半導体装置の製造方法であって、

前記基板上に半導体層を形成する工程と、

該半導体層上に酸素、窒素又は窒素原子を含むガスを含むガス及び希ガスを主体とするガスからなる混合ガスを供給するとともにプラズマを励起して該半導体層の表面を酸化処理又は窒化処理し、前記薄膜トランジスタを構成する絶縁膜を形成する工程と、

該絶縁膜に対して熱処理を施す工程と、

前記絶縁膜上に前記薄膜トランジスタを構成するゲート電極を形成する工程と、

前記半導体層に対して所定種類のイオンを注入する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項17】 前記プラズマの励起は、マイクロ波の導入によりなされることを特徴とする請求項15又は16に記載の半導体装置の製造方法。

【請求項18】 前記熱処理の温度は、前記酸化処理又は前記窒化処理の温度よりも高いことを特徴とする請求項15乃至17のいずれか一項に記載の半導体装置の製造方法。

【請求項19】 前記混合ガス中における前記酸素の分圧は、全圧に対して2～4パーセントであることを特徴とする請求項15乃至18のいずれか一項に記載の半導体装置の製造方法。

【請求項20】 前記混合ガス中における前記窒素の分圧は、全圧に対して1～10パーセントであることを特徴とする請求項15乃至18のいずれか一項に記載の半導体装置の製造方法。

【請求項21】 前記絶縁膜を形成する工程は、前記混合ガスに前記酸素が含まれる場合において、800～1200mTorrの真空環境下で実施されることを特徴とする請求項15乃至19のいずれか一項に記載の半導体装置の製造方法。

【請求項22】 前記絶縁膜を形成する工程は、前記混合ガスに前記窒素が含まれる場合において、50～12

10

20

30

40

50

0.0m Torr の真空環境下で実施されることを特徴とする請求項 15 乃至 18 又は 20 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された絶縁膜を含む半導体装置の技術分野に属し、特に、薄膜トランジスタを構成する絶縁膜の技術分野に属する。また、本発明は、当該薄膜トランジスタそのもの、あるいは上述のような半導体装置の製造方法の技術分野にも属する。

【0002】

【背景技術】薄膜トランジスタ（以下、適宜「TFET:Thin Film Transistor」と称す。）を構成するゲート絶縁膜には、低リーク電流特性、低界面準位密度、高ホットキャリア耐性等の高性能電気特性、高信頼性が要求されている。これらの要求を満たすゲート絶縁膜形成技術として、従来は、800℃以上の熱酸化技術が用いられてきた。

【0003】この熱酸化技術によれば、界面特性、酸化膜の耐圧特性、リーク電流特性等について、実用に耐えられる性能を有するゲート絶縁膜を形成することができる。ただし、そのような絶縁膜が得られるのは、一般に、該ゲート絶縁膜を（100）面に配向した半導体層上に形成する場合に限られている。すなわち、（100）面以外の他の面に配向した半導体層に熱酸化技術を使用したゲート絶縁膜を形成しても、十分な性能を発揮させることはできなかった。

【0004】

【発明が解決しようとする課題】しかしながら、例えば、絶縁性の基板上、あるいは絶縁膜上に形成された、半導体層の一例たるポリシリコン膜は、一般に、（111）面に主として配向する性質をもつことが知られている。したがって、このようなポリシリコン膜に対して、ゲート絶縁膜を形成しても、上述したような背景から、完全に良好な特性を有するものを形成することが困難であった。すなわち、ポリシリコンのシリコン粒の面により、絶縁膜の厚さが不均一になり、またその密度が小さくなり、その耐性・耐圧が劣化するのである。

【0005】といて、このような絶縁膜の膜厚の不均一さを補うように、絶縁膜全体の厚みを増大させると、トランジスタ特性に影響を与える結果となる。具体的には、トランジスタのOFFからONの立ち上がりが遅くなる（立ち上がり特性が劣化する。）等の不都合が生じる。

【0006】また、ポリシリコン膜上に絶縁膜を形成することについては、絶縁膜とポリシリコン膜との界面にも、好ましくない影響を与える。すなわち、この場合、当該界面、かつ、ポリシリコン膜表面において、突起が形成されることがある。これは、時に絶縁膜を突き抜け

る場合があり、悪い場合には、絶縁性そのものの破壊をもたらしたり、そこまでは達しなくても、該突起に電界集中が生じ絶縁膜の特性劣化の原因となる。

【0007】本発明は、上述した問題点を鑑みてなされたものであり、その厚さが薄くても絶縁性に優れた絶縁膜を備えた半導体装置及びその製造方法並びに薄膜トランジスタを提供することを課題とする。

【0008】

【課題を解決するための手段】本発明の第1の半導体装置は、基板上に、半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガスが含まれるとともに熱処理が施された絶縁膜とを備える。

【0009】本発明の第1の半導体装置によれば、絶縁膜は、例えば、主に酸素ラジカル（OHラジカルを含む）や窒素ラジカル（NHラジカルを含む）によって形成される。このような絶縁膜は、希ガスと酸素、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成できる。ここで希ガスとしては、例えば、Kr や Ar 等が好ましい。このような絶縁膜は、従来広く行われている高温熱酸化処理により得られる絶縁膜と、同等ないしはそれ以上の耐性・耐圧等その他の電気的特性等を発揮することになる。

【0010】そして、本発明においては、このような絶縁膜形成後に、熱処理を施すことにより、半導体層の結晶性を向上させることが可能となる。さらに、絶縁膜中や絶縁膜及び半導体層間の界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され電気特性の向上が期待できる。

【0011】また、本発明によれば、該絶縁膜を、例えば（111）面に配向をもつシリコン（ポリシリコンを含む。）上に緻密に形成することが可能となる。

【0012】このことは、絶縁膜上に半導体層の一例たるポリシリコン膜を形成する場合、該ポリシリコン膜が主として（111）面に配向することから、本発明によれば、そのようなポリシリコン膜上に対しても高特性・高品質の絶縁膜が形成可能であることを意味する。また、この他、いわゆるシャロートレンチアイソレーション等の素子分離構造が（100）面に配向したシリコンに形成された場合、該構造の角部は、主に（111）面に配向したシリコンを有することになるから、本発明によれば、そのような角部にも高特性・高品質な絶縁膜を形成することが可能であることを意味し、該膜における漏れ電流や耐圧等の特性を向上させることが可能となる。また、このことは、素子分離幅を狭くした高密度な素子集積化を可能とする。

【0013】さらに、本発明においては、絶縁膜に対して、上述のプラズマ処理を施すことにより、該絶縁膜と半導体層との界面を平坦に形成することが可能となる。すなわち、従来問題となっていた、半導体層表面に見られた突起が殆ど発生しない。したがって、本発明によれ

10

20

30

40

50

ば、突起が絶縁膜を貫通することにより生じていた絶縁破壊のおそれを殆どなくし、突起に生ずる電界集中によって被る不都合等を回避することが可能となる。また、このことは、本発明における絶縁膜を、上述したように(111)面に配向をもつシリコン上に緻密に形成することが可能であるだけでなく、面方位に依存することなく均一な膜厚を有するものとして、かつ緻密なものとして形成しうることを意味する。

【0014】なお、前記プラズマ処理としては、プラズマ酸化処理、プラズマ窒化処理又はプラズマ酸窒化処理を行うことが好ましく、更に言えば、プラズマ酸化処理は希ガスに酸素を含む混合ガスで酸素プラズマ処理(OHプラズマを含む)を施すことが好ましく、プラズマ窒化処理は希ガスにアンモニアまたは窒素を含む混合ガスで窒化プラズマ(NHプラズマを含む)処理を施すことが好ましく、プラズマ酸窒化処理は希ガスに酸素、アンモニアまたは窒素を含む混合ガスで酸窒化プラズマ処理を施すことが好ましい。

【0015】そして、本発明では、熱処理を実施することによって、例えば、半導体層がポリシリコン膜を含む場合にあっては、その結晶性を向上させることが可能となる。これにより、本発明を、例えば薄膜トランジスタを有する半導体装置に適用する場合には、半導体層として単結晶シリコンを用いた場合と同様の性能を獲得することが可能となる。例えば、該トランジスタの立ち上がり特性は、目覚ましく向上する。

【0016】さらには、本発明では、上述のプラズマ処理と熱処理とを実施することによって、絶縁膜の膜厚を一般に薄く形成することが可能となる。別の観点から言うと、本発明における絶縁膜は、その膜厚を薄くしても、従来のより厚い膜厚を有する絶縁膜と比較して、同等ないしはそれ以上の性能を発揮することができるということである。より具体的には、絶縁膜の形成条件等にも依存するが、従来必要とされていた絶縁膜(例えば、シリコン酸化膜の場合、80nm)に比べて、概ねその半分程度(例えば、シリコン酸化膜の場合、30nm)にまですることが可能なことを、本願発明者は確認している。このことは、例えば本発明を薄膜トランジスタに適用する場合を考えると、その低電力駆動等を可能とし、その特性向上にも大きく貢献することになる。

【0017】なお、本発明にいう「基板」とは、シリコン基板等の半導体基板、ガラス基板等の絶縁性基板等を含む。また、本発明にいう「絶縁膜」の例としては、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜等を挙げることができる。さらに、本発明にいう「半導体層」とは、典型的にはポリシリコン膜を含む層とすると、本発明の効果を最大限享受し得るという点で好ましいが、場合によっては、アモルファスシリコン膜を含む層であってもよい。更に、ポリシリコン膜を含む場合にあっては、例えば400℃程度の低温プロセスで形成さ

れる低温ポリシリコン膜であっても、例えば1000℃程度の高温プロセスで形成される高温ポリシリコン膜であってもよい。

【0018】本発明の第2の半導体装置は、基板上に、半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガスが含まれる絶縁膜と、前記半導体層下に前記希ガスが含まれる下層とを備える。

【0019】本発明の第2の半導体装置によれば、半導体層下に、絶縁膜において含ませた希ガスと同一の希ガスが含まれる下層が存在する。このような構造は、例えば、第1の半導体装置に関して述べた、絶縁膜に対する熱処理を施すことによって得られる。すなわち、本発明の第2の半導体装置は、上述した第1の半導体装置を別の観点から捕らえ直した一例であり、更に換言すれば、当該第2の半導体装置は、希ガスを含ませた絶縁膜に対し熱処理を施すと、外形的には、半導体層下に存在する何らかの下層において、前記希ガスが含まれるものになりうるということを示唆する。

【0020】したがって、その作用効果は、上述した本発明の第1の半導体装置の作用効果と殆ど同様であり、大きく変わるところはない。

【0021】本発明の第1の半導体装置の一態様では、前記半導体層下に前記希ガスが含まれる下層を更に備える。

【0022】この態様によれば、上述した本発明の第2の半導体装置と略同様な構成となる。したがって、その作用効果は、当該第2の半導体装置、ひいては上記第1の半導体装置に関して述べたのと殆ど同様であり、大きく変わるところはない。

【0023】本発明の第1の半導体装置の他の態様、又は第2の半導体装置の一態様では、前記基板上に、前記半導体層及び前記絶縁膜上に形成されたゲート電極を含む薄膜トランジスタを更に備え、前記半導体層は前記薄膜トランジスタのチャネル領域を含む。

【0024】この態様によれば、電極に所定の電圧を印加することで、絶縁膜を介し、チャネル領域に所定の電圧を付与することが可能となり、ここに記した構成のほか、例えば該チャネル領域を挟むソース領域及びドレイン領域、並びにこれらそれぞれに接続されるソース電極及びドレイン電極等その他必要な構成を備えれば、スイッチング動作等が可能な薄膜トランジスタを形成することが可能となる。

【0025】そして、本発明においては、このような薄膜トランジスタを構成する絶縁膜は、例えば、主に酸素ラジカル(OHラジカルを含む)や窒素ラジカル(NHラジカル含む)によって形成されることにより、該絶縁膜は、従来広く行われている高温熱酸化処理により得られる絶縁膜と、同等ないしはそれ以上の耐性・耐圧等その他の電気的特性等を発揮することになる。そして、これに熱処理を施すことにより、半導体層の結晶性を向

10

20

30

40

50

上させることができ、絶縁膜中や絶縁膜及び半導体層の界面でのストレスを緩和でき、電気特性が向上する。

【0026】また、本発明に係る薄膜トランジスタでは、半導体層及び絶縁膜間に突起が発生しないことにより、良好な絶縁性を維持することが可能であるから、その動作の安定が図られる。また、半導体層の結晶性が向上することから、本発明の薄膜トランジスタにおいては、半導体層に単結晶シリコンを用いた場合に比しても遜色ない性能を得ることができ、例えば、その立ち上がり特性等が目覚ましく向上する。さらに、絶縁膜の厚さを薄くすることが可能であるから、本発明の薄膜トランジスタにおいては、低電力駆動が可能となるなど、その特性が大きく向上する。

【0027】本発明の第1又は第2の半導体装置の他の態様では、前記下層は、前記基板である。

【0028】この態様によれば、例えば、基板と半導体層との間に何らの層も設けられない形態、すなわち半導体層が基板上に直接に設けられるような形態等が想定されることになる。

【0029】また、本態様では更に、下層が基板であるにとどまらず、半導体層もまた基板の一部であるような形態等をも考えることができる。この場合において、絶縁膜は、基板上に直接に形成されることになる。より具体的には、基板が、例えば単結晶シリコンからなるものであって、該基板に対してソース領域及びドレイン領域等が形成され、これらの上層として絶縁膜及び電極が形成されるような構造をとるものが考えられる。要するに、本発明にいう「基板上に（存在する）半導体層」（カッコ内は付記）とは、そのような形態をも含む概念である。

【0030】いずれにしても、本発明は、このような形態についてもまた、その範囲内に収めるものである。

【0031】本発明の第1又は第2の半導体装置の他の態様では、前記下層は、前記基板上に形成された絶縁性薄膜である。

【0032】この態様によれば、例えば、基板の一例たるガラス基板上に形成された絶縁性薄膜の上に、半導体層の一例たるポリシリコン膜を含む層が形成されるような形態等が想定されることになる。この場合、当該絶縁性薄膜の存在により、基板の表面研磨、あるいは洗浄後に残存する汚れ等によって、薄膜トランジスタが悪影響を受けること、等を回避することが可能となる。

【0033】本発明の第1又は第2の半導体装置の他の態様では、前記半導体層は、ポリシリコン膜又はアモルファスシリコン膜を含む。

【0034】この態様によれば、例えば、半導体層がポリシリコン膜を含む場合にあっては、上述した第1の半導体装置に関する記述からも明らかな通り、本発明に係る効果がより顕著になる。また、半導体層がアモルファスシリコン膜を含む場合にあっては、略同様な作用効果

を得ることができる。

【0035】この場合特に、前記ポリシリコン膜は、その表面に少なくとも(111)面のシリコンを有するようによれば、本発明に係る効果が更に顕著になる。

【0036】本発明の第1又は第2の半導体装置の他の態様では、前記希ガスは、Kr（クリプトン）又はAr（アルゴン）を含む。

【0037】この態様によれば、希ガスの成分が最適となり、上述した第1又は第2の半導体装置について奏された作用効果を、より確実に享受することが可能となる。

【0038】本発明の第1又は第2の半導体装置の他の態様では、前記絶縁膜及び前記下層に含まれる希ガスの密度は、それぞれ $5 \times 10^{11} \text{ cm}^{-2}$ 以下である。

【0039】この態様によれば、希ガスの密度が最適となることにより、上述した第1又は第2の半導体装置について奏された作用効果を、より確実に享受することが可能となる。

【0040】本発明の第1又は第2の半導体装置の他の態様では、前記絶縁膜の表面の最大表面粗さ R_{max} は、20nm以下である。

【0041】この態様によれば、上述した第1又は第2の半導体装置について奏された作用効果を、より確実に享受することが可能となる。特に、本態様のように、最大表面粗さが R_{max} で20nm以下とされれば、上述した、半導体層表面に形成される突起に起因した弊害を殆ど被ることがない。

【0042】本発明の第1の薄膜トランジスタは、上記課題を解決するために、チャネル領域を含む半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガスが含まれるとともに熱処理が施された絶縁膜と、該絶縁膜上に形成されたゲート電極とを備える。また、本発明の第2の薄膜トランジスタは、チャネル領域を含む半導体層と、該半導体層上に設けられ、その少なくとも一部に希ガスが含まれる絶縁膜と、該絶縁膜上に形成されたゲート電極と、前記半導体層下に前記希ガスが含まれる下層とを備える。さらに、前記第1の薄膜トランジスタの一態様では、前記半導体層下に前記希ガスが含まれる下層を更に備える。

【0043】これら本発明の第1の薄膜トランジスタ及び該トランジスタの一態様並びに本発明の第2の薄膜トランジスタは、その構成からも明らかな通り、上述の第1の半導体装置の他の態様又は第2の半導体装置の一態様を構成する薄膜トランジスタと略同様な構成をとる。したがって、これらの発明等によれば、上述の半導体装置を構成する薄膜トランジスタに関して述べた作用効果を同様に享受することが可能となる。なお、以上述べた、本発明に係る半導体装置、あるいは薄膜トランジスタ（ただし、これらの各種態様を含む。）、を構成する絶縁膜は、強誘電メモリ素子、フラッシュメモリ素子等

の構成要素となる絶縁膜に該当すると考え、これら素子等について、本発明を適用すると好適である。また、当該絶縁膜は、液晶表示装置又は有機EL (Electro Luminescence) 表示装置において、液晶又はELの駆動回路等として使用されるポリシリコンTFTを構成する絶縁膜に該当すると考え、これら装置について、本発明を適用すると好適である。

【0044】本発明の第1の半導体装置の製造方法は、上記課題を解決するために、基板上に半導体層を形成する工程と、該半導体層上に酸素、窒素又は窒素原子を含むガスを含むガス及び希ガスを主体とするガスからなる混合ガスを供給するとともにプラズマを励起して該半導体層の表面を酸化処理又は窒化処理し、絶縁膜を形成する工程と、該絶縁膜に対して熱処理を施す工程とを含む。

【0045】本発明の第1の半導体装置の製造方法によれば、基板上に形成された半導体層上に、酸素又は窒素を含むガス及び希ガスを主体とするガスからなる混合ガスが供給され、かつプラズマが励起されることによって、該半導体層上に絶縁膜、具体的には、シリコン酸化膜(酸素供給の場合)又はシリコン窒化膜(窒素供給の場合)であって、これらにつき前記希ガスが含まれる膜が形成されることになる。

【0046】このように、絶縁膜は主に酸素ラジカル(OHラジカルを含む)や窒素ラジカル(NHラジカルを含む)によって形成されることにより、該絶縁膜は、従来広く行われている高温熱酸化処理により得られる絶縁膜と、同等ないしはそれ以上の耐性・耐圧等その他の電気的特性等を発揮することになる。そして、本発明では、このように形成された絶縁膜に熱処理を施すことにより、膜中や絶縁膜及び半導体層間の界面でのストレスが緩和され、膜中電荷や界面準位密度が低減されるため、電気特性の向上が期待できる。

【0047】また、本発明によれば、該絶縁膜を、例えば(111)面に配向をもつシリコン(ポリシリコンを含む。)上に緻密に形成することが可能となる。

【0048】さらに、本発明においては、絶縁膜に対して、上述のプラズマ処理を施すことにより、該絶縁膜と半導体層との界面を平坦に形成することが可能となる。すなわち、従来問題となっていた、半導体層表面に見られた突起が殆ど発生しない。したがって、本発明によれば、突起が絶縁膜を貫通することにより生じていた絶縁破壊のおそれを殆どなくし、突起に生ずる電界集中によって被る不都合等を回避することが可能となる。また、このことは、本発明における絶縁膜を、上述したように(111)面に配向をもつシリコン上に緻密に形成することが可能であるだけでなく、面方位に依存することなく均一な膜厚を有するものとして、かつ緻密なものとして形成しうることを意味する。

【0049】そして、本発明では、熱処理を実施するこ

とによって、例えば、半導体層がポリシリコン膜を含む場合にあっては、その結晶性を向上させることが可能となる。これにより、本発明を、例えば薄膜トランジスタを有する半導体装置に適用する場合には、半導体層として単結晶シリコンを用いた場合と同様の性能を獲得することが可能となる。例えば、該トランジスタの立ち上がり特性は、目覚ましく向上する。

【0050】さらには、上述のプラズマ酸化処理と熱処理とを実施することによって、絶縁膜の膜厚を一般に薄く形成することが可能となる。別の観点から言うと、本発明における絶縁膜は、その膜厚を薄くしても、従来のより厚い膜厚を有する絶縁膜と比較して、同等ないしはそれ以上の性能を発揮することができるということである。より具体的には、絶縁膜の形成条件等にも依存するが、従来必要とされていた絶縁膜の膜厚(例えば、シリコン酸化膜の場合、80nm)に比べて、概ねその半分程度(例えば、シリコン酸化膜の場合、30nm)にまですることが可能なことを、本願発明者は確認している。このことは、例えば本発明を薄膜トランジスタに適用する場合を考えると、その低電力駆動等を可能とし、その特性向上にも大きく貢献することになる。

【0051】本発明の第2の半導体装置の製造方法は、上記課題を解決するために、基板上に薄膜トランジスタが形成される半導体装置の製造方法であって、前記基板上に半導体層を形成する工程と、該半導体層上に酸素、窒素又は窒素原子を含むガスを含むガス及び希ガスを主体とするガスからなる混合ガスを供給するとともにプラズマを励起して該半導体層の表面を酸化処理又は窒化処理し、前記薄膜トランジスタを構成する絶縁膜を形成する工程と、該絶縁膜に対して熱処理を施す工程と、前記絶縁膜上に前記薄膜トランジスタを構成するゲート電極を形成する工程と、前記半導体層に対して所定種類のイオンを注入する工程とを含む。

【0052】本発明の第2の半導体装置の製造方法によれば、上述した第1の半導体装置の製造方法において形成される絶縁膜が、薄膜トランジスタの一部を構成することになる。したがって、本発明に係る方法で製造された薄膜トランジスタにおいて、その一部を構成する絶縁膜は、従来広く行われている高温熱酸化処理により得られる絶縁膜と、同等ないしはそれ以上の耐性・耐圧等その他の電気的特性等を発揮することになる。

【0053】また、本発明に係る方法で製造された薄膜トランジスタでは、半導体層及び絶縁膜間に突起が発生しないことにより、良好な絶縁性を維持することが可能であるから、その動作の安定が図られる。また、半導体層の結晶性が向上することから、本発明の薄膜トランジスタにおいては、半導体層に単結晶シリコンを用いた場合に比しても遜色ない性能を得ることができ、例えば、その立ち上がり特性等が目覚ましく向上する。さらに、絶縁膜の厚さを薄くすることが可能であるから、本発明

の薄膜トランジスタにおいては、低電力駆動が可能となるなど、その特性向上に大きく貢献する。

【0054】本発明の半導体装置の製造方法の他の態様では、前記プラズマの励起は、マイクロ波の導入によりなされる。

【0055】この態様によれば、低電子温度の高密度プラズマが励起でき、酸化・窒化等に必要の大量のラジカルを形成することができる。

【0056】本発明の半導体装置の製造方法の他の態様では、前記熱処理の温度は、前記酸化処理又は窒化処理の温度よりも高い。

【0057】この態様によれば、上述した熱処理が最適に実施されうることにより、該処理を実施することによって得られる作用効果を、より確実に享受することが可能となる。

【0058】本発明の半導体装置の製造方法の他の態様では、前記混合ガス中における前記酸素の分圧は、全圧に対して2〜4パーセントである。

【0059】この態様によれば、原理的に、0パーセントを超え100パーセントに至らない範囲で考え得る酸素分圧において、上述のような限界を設けると、絶縁膜の成膜速度を最大にすること、界面準位密度を最低にすること、絶縁耐圧を最大にすること等が可能となる。

【0060】本発明の半導体装置の製造方法の他の態様では、前記混合ガス中における前記窒素の分圧は、全圧に対して1〜10パーセントである。

【0061】この態様によれば、原理的に、高密度プラズマ中で、中間励起状態にある希ガスと O_2 分子が衝突し、原子状酸素 O^* が効率よく発生する酸素分圧を選択することが重要であり、上述のような限界を設けると、絶縁膜の成膜速度を最大にすること、界面準位密度を最低にすること、絶縁耐圧を最大にすること等が可能となる。

【0062】本発明の半導体装置の製造方法の他の態様では、前記絶縁膜を形成する工程は、前記混合ガスに前記酸素が含まれる場合において、800〜1200mTorrの真空環境下で実施される。

【0063】この態様によれば、形成される絶縁膜について、その成膜速度を大きくすることが可能であるとともに、より好ましい界面準位密度及び絶縁耐性に係る性能を達成することができる。この場合特に、上述の酸素分圧に係る限界を更に設けた上で、該絶縁膜を形成すると、更に好ましい界面準位密度及び絶縁耐性を得られることになる。

【0064】本発明の半導体装置の製造方法の他の態様では、前記絶縁膜を形成する工程は、前記混合ガスに前記窒素が含まれる場合において、50〜1200mTorrの真空環境下で実施される。

【0065】この態様によれば、形成される絶縁膜について、その成膜速度を大きくすることが可能である

ともに、より好ましい界面準位密度及び絶縁耐性に係る性能を達成することができる。この場合特に、上述の窒素分圧に係る限界を更に設けた上で、該絶縁膜を形成すると、更に好ましい界面準位密度及び絶縁耐性を得られることになる。

【0066】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0067】

【発明の実施の形態】以下では、本発明の実施の形態について図を参照しつつ説明する。

【0068】(第1実施形態) まず、第1実施形態に係る半導体装置の構成について、図1乃至図4を参照して説明する。図1は、第1実施形態に係る半導体装置の要部断面図である。また、図2は、図1に示す下地絶縁膜12に含まれる希ガスの含有量の例、図3は、半導体層がもつ面の別に応じて、該半導体層と絶縁膜との界面における界面準位密度がどのように変化するかを示すグラフ、図4は、図1に示す半導体層1について、その結晶性の程度をラマン分光分析により計測した結果を示すグラフである。

【0069】図1において、半導体装置は、基板10、下地絶縁膜12、半導体層1、絶縁膜200及びゲート電極3aを備えている。このうち、半導体層1、ゲート絶縁膜200及びゲート電極3aは、TFT30を構成する。

【0070】基板10は、例えば、石英基板、ガラス基板、シリコン基板からなる。下地絶縁膜12は、例えば、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜からなる。この下地絶縁膜12は、それが基板10の全面に形成されることにより、基板10の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性変化を防止する機能を有する。

【0071】そして、この下地絶縁膜12は、本発明にいう「下層」の一例に該当し、後述の絶縁膜200中に含ましめられるKr、Ar等の希ガスと同一の成分となる希ガスを含んだ構成となっている。これは、絶縁膜200に対して施される後記熱処理(アニール処理)によって、下地絶縁膜12に対して当該希ガス等が拡散された結果によるものと考えられる。より具体的には、図2に示すように、例えば、下地絶縁膜12の厚さを800nmとする場合には、その表面から概ね100nm程度に至る深さまで希ガスが含有されている。なお、図2においては、横軸が希ガス含有量、縦軸が厚さ方向を表している。

【0072】図1に戻り、半導体層1は、例えば、CV法等によりアモルファスシリコン膜を形成した後、これに適当なアニール処理を施すことで固相成長させる等

して得られる、ポリシリコン膜を含む。その厚さは、例えば、 $0.2\mu\text{m}$ 程度とするとよい。なお、ここにいるアニール処理としては、この他、レーザアニール等を実施してもよい。

【0073】このように形成された半導体層1は、下地絶縁膜12上に形成されることにより、該絶縁膜12に対して垂直方向に(111)面方位を向くときが安定であり、かつ緻密で結晶性がよく高品質なものとなる。ちなみに、この半導体層1aについては、通常、平面的に見て所定のパターンを有するように、フォトリソグラフィ及びエッチングによってパターンニングされる。

【0074】また、この半導体層1中には、図1に示すように、チャンネル領域1a、ソース領域1b及びドレイン領域1cが形成されており、後二者については、図示しない適当な電極が電氣的に接続される。

【0075】絶縁膜200は、TFT30を構成するゲート絶縁膜を含み、例えば、シリコン酸化膜、シリコン窒化膜等からなる。そして、第1実施形態において、この絶縁膜200は、その少なくとも一部においてKr、Ar等の希ガスの成分を含むとともに、熱処理(アニール処理)が施されている。より具体的には、絶縁膜200はKr、Ar等の希ガスと酸素の混合ガスで酸素プラズマ処理を施しプラズマ酸化処理をした後、アニール処理を施すことで形成される。

【0076】第1実施形態における絶縁膜200は、上述のように、希ガスと酸素の混合ガスによるプラズマ酸化で形成すると共に、熱処理を施すことで、従来の高温熱酸化処理により得られる絶縁膜と同等ないしそれ以上の耐性・耐圧等その他の電氣的特性等を発揮する。特に、熱処理を施すことにより、ポリシリコン膜の結晶性が向上し、膜中や絶縁膜及び半導体層間の界面でのストレスが緩和され、膜中電荷や界面準位密度が低減される。

【0077】また、絶縁膜200が希ガスと混合ガスによるプラズマ酸化で形成されることにより、該絶縁膜200を、上述した(111)面をもつ半導体層1上に安定に、かつ緻密に形成することが可能となる。

【0078】これを証左する事実として図3を示す。ここに、図3は、横軸に面方位、縦軸に界面準位密度をとり、該界面準位密度を低周波C-V測定から求めた結果である。また、図3においては、比較のため、 900°C 酸素100パーセントの雰囲気中で成膜した熱酸化膜の界面準位密度も同時に示す。希ガスと酸素の混合ガスによるプラズマ酸化で成膜した酸化膜の界面準位密度は、

(100)面、(111)面とも低く、 900°C のドライ酸化雰囲気中で成膜した(100)面に形成した熱酸化膜の界面準位密度と同等である。(111)面に形成した熱酸化膜の界面準位密度は、これらに比べて一桁以上大きい。

【0079】これは、次のような機構によると考えられ

る。酸化中には、酸化膜側から見ると、(100)面ではシリコンの結合手が2本、(111)面ではシリコンの結合手が1本と3本交互に現れる。従来の熱酸化では、(111)面において3本のシリコンの結合手に酸素が結合すると、そのシリコンの後ろ側の結合手が伸びてウイークボンドになったり、切れてダングリングボンドになったりして界面準位が増加してしまう。一方、希ガス及び酸素の混合ガスの高密度励起プラズマ酸化では、中間励起状態にある希ガスと酸素分子が衝突して、原子状酸素が効率よく発生し(後の製造方法でも述べる。)、この原子状酸素がウイークボンドやダングリングボンドのところに効率よく達してシリコン-酸素の新たな結合をつくることで、(111)面においても界面準位を低減すると考えられる。

【0080】図1に戻り、ゲート電極3aは、導電化されたポリシリコン膜等からなる。この導電化は、絶縁膜200上にポリシリコン膜を堆積後、リンを熱拡散させること等によって実現される。また、この他、ポリシリコン膜の成膜と同時に、Pリオンを導入する等の手段によってもよい(いわゆる「ドーブドシリコン膜」となる。)。このゲート電極3aにより、絶縁膜200を介し、チャンネル領域1aに対して所定の電圧を印加することが可能となり、TFT30においてスイッチング動作等を行うことが可能となる。

【0081】ちなみに、このゲート電極3aについても、上述した半導体1と同様にして、通常、平面的に見て所定のパターンを有するように、フォトリソグラフィ及びエッチングによってパターンニングされる。

【0082】このような構成となる半導体装置においては、特に上記絶縁膜200に対して希ガスと酸素の混合ガスでプラズマ処理を施して、プラズマ酸化処理した結果、次のような作用効果が得られる。

【0083】まず、該絶縁膜200と半導体層1との界面を平坦に形成することが可能となる。すなわち、第1実施形態によれば、従来問題となっていた、半導体層1表面に見られた突起が殆ど発生しない。したがって、本発明によれば、突起が絶縁膜200を貫通することにより生じていた絶縁破壊のおそれを殆どなくし、突起に生ずる電界集中によって被る不都合等を回避することが可能となる。また、このことは、第1実施形態における絶縁膜200を、上述したように(111)面に配向をもつ半導体層1上に緻密に形成することが可能であるだけでなく、面方位に依存することなく均一な膜厚を有するものとして、かつ緻密なものとして形成しうることを意味する。

【0084】これを証左する事実として、表1に、絶縁膜200上の表面粗さを計測した結果を示す。この表1において、希ガスが含まれかつ熱処理が施された絶縁膜200上の表面粗さの計測結果は、最右欄に示されている。ただし、この場合、前記希ガスとしてKrを用いて

10

20

30

40

50

いる。また、表1においては、これと比較するため、何らの処理を施していないポリシリコン膜を含む半導体層1の表面粗さの計測結果が最左欄に、従来用いられてきた通常のドライ酸化を施した絶縁膜上の表面粗さの計測結果が中欄に、それぞれ示されている。

【0085】なお、表面粗さとしては、 R_a 、すなわち

	ポリシリコン	通常のドライ酸化	絶縁膜200
R_a	0.959	1.277	0.738
R_{max}	10.772	42.733	9.189

【0087】この表1によれば、第1実施形態における絶縁膜200上は、ポリシリコン膜のみ、通常のドライ酸化を実施した絶縁膜、と対比して、 R_a 及び R_{max} の値が相当小さくなっており、その平坦性が明らかに向上していることがわかる。このことはつまり、絶縁膜200と半導体層1との界面における突起が、第1実施形態においては殆ど生じてないことを意味するものである。

【0088】なお、 R_{max} については、これを20nm以下程度とするとよい。このようにすると、上述の結果から推察される通り、耐性・耐圧等の電気的特性の向上を十分満足に享受することが可能となる。

【0089】他方、第1実施形態における熱処理を実施することによって、例えば、半導体層1に含まれるポリシリコン膜の結晶性を向上させることが可能となる。これにより、本発明のTFT30では、半導体層1として単結晶シリコンを用いた場合と同様の性能を獲得することが可能となる。例えば、該TFT30の立ち上がり特性は、目覚ましく向上する。

【0090】これを証左する事実として、図4に、半導体層1に含まれるポリシリコン膜の結晶性がどの程度向上しているかを示すグラフを掲げる。なお、図4は、何らかの処理を施さないポリシリコン膜、ドライ酸化処理を施したポリシリコン膜、Krガスをを用いたプラズマ酸化処理を施したポリシリコン膜、及び第1実施形態に係る半導体層1（すなわち、プラズマ酸化処理及び熱処理を施したポリシリコン膜）のそれぞれについて、ラマン分光分析により計測されたピークにおける半値幅（FWHM: Full Width Half Maximum: 単位 $[cm^{-1}]$ ）を示している。

【0091】この図において、第1実施形態に係る半導体層1以外のポリシリコン膜については、そのすべてが半値幅約5.5 $[cm^{-1}]$ 程度の値を示している一方、第1実施形態における半導体層1においては、その半値幅が約4.1 $[cm^{-1}]$ となっており、該半値幅は小さくなっていることがわかる。ちなみに、単結晶シリコンの半値幅は、約3.2 $[cm^{-1}]$ であることが知られており、第1実施形態の半導体層1に係る半値幅は、それに近づいている。つまり、第1実施形態におけ

る半導体層1においては、その結晶性が向上していることがわかる。

【0086】

【表1】

る半導体層1においては、その結晶性が向上していることがわかる。

【0092】さらには、第1実施形態におけるプラズマ酸化処理とアニール処理を実施することによって、絶縁膜200の膜厚を一般に薄く形成することが可能となる。別の観点から言うと、第1実施形態における絶縁膜200は、その膜厚を薄くしても、従来の、より大きな膜厚を有する絶縁膜と比較して、同等ないしはそれ以上の性能を発揮することができるということである。本願発明者の確認するところでは、概ね従来の膜厚の半分程度でも、同等以上の性能が発揮されることが判明している。このことは、TFT30の低電力駆動等を可能とし、その特性向上にも大きく貢献することになる。

【0093】より具体的には、例えば、条件ドライ酸化で成膜する場合、従来においては、絶縁膜の厚さは80nm程度以上とすることによって、要求される性能を発揮しうることになっていたところ、第1実施形態によれば、30nm程度、すなわち概ね従来の半分程度の膜厚で、当該性能を満足することが可能となる。

【0094】なお、第1実施形態では、基板10と半導体層1との間に、下地絶縁膜12のみが設けられる形態について説明したが、当該半導体装置を、例えば、液晶表示装置の一構成要素として組み込む場合等には、TFT30に光が入射することを防止する遮光膜を、基板10と下地絶縁膜12との間に更に設けるような形態としてもよい。

【0095】（第2実施形態）次に、第2実施形態に係る半導体装置の構成について、図5及び図6を参照しながら説明する。ここに、図5は、第1実施形態に係る半導体装置の要部断面図である。また、図6は、図5に示す基板10に含まれる希ガスの含有量の例を表す図である。

【0096】図5において、半導体装置は、上記第1実施形態と比較して、下地絶縁膜12が存在しない点のみ異なるだけで、残余の点は全く同様である。したがって、上記第1実施形態において述べた作用効果は、第2実施形態における半導体装置においても、同様に享受することが可能である。本発明は、このように下地絶縁膜12が存在しない形態であっても、その範囲内に収め

る。

【0097】ちなみに、この第2実施形態においては、本発明にいう「下層」は、基板10に該当することとなり、したがって、上述の図2に対応する希ガス分布は、図6に示すようなものとなる。すなわち、図2においては、下地絶縁膜12に希ガスが存在していたところ、図6においては、基板10の表層側に希ガスが存在するような形となる。

【0098】(第3実施形態)次に、第3実施形態に係る半導体装置の構成について、図7を参照しながら説明する。ここに、図7は、第3実施形態に係る半導体装置の要部断面図である。

【0099】第3実施形態における半導体装置は、図7に示すように、強誘電体メモリ素子として構成されている。より詳しくは、図7において、半導体装置は、シリコン基板内に形成されたPウェル1101、該シリコン基板内に図中左右それぞれに形成されたn型トランジスタのソース1102及びドレイン1102'、これらPウェル1101並びにソース1102及びドレイン1102'上に形成された、本発明に係る絶縁膜1103、
20 該絶縁膜1103上に形成されたn型トランジスタのポリシリコンゲート1104、該ポリシリコンゲート1104上に形成された、本発明に係る絶縁膜1105、該絶縁膜1105上に形成された強誘電体膜1106、そして該強誘電体膜1106上に形成された電極1107を備えている。

【0100】なお、第3実施形態において、絶縁膜1103及び1105は、Ar/NH₃プラズマにより形成されたシリコン窒化膜とされている。また、強誘電体膜1106は、SrTaNbO₃からなり、その製造は、S
30 r:Ta:Nbが1:0.7:0.3になるようにスパッタ成膜した後、Kr及びO₂プラズマ酸化を実施して、Sr₂(Ta_{0.7}Nb_{0.3})₂O₇の組成となるように形成されている。さらに、電極1107はPt(白金)により形成されている。

【0101】このような形態にあっても、上記第1実施形態と略同様な作用効果を楽しむことが可能である。

【0102】なお、この第3実施形態において、本発明にいう「下層」は、シリコン基板に該当することとなり、かつ、本発明にいう「半導体層」は当該シリコン基
40 板内に形成されたPウェル1101が該当することになる。要するに、本発明にいう「基板上に(存在する)半導体層」(カッコ内は付記)とは、図7に示すような形態をも含む概念である。

【0103】(第4実施形態)次に、第4実施形態に係る半導体装置の構成について、図8を参照しながら説明する。ここに、図8は、第4実施形態に係る半導体装置の要部断面図である。

【0104】第4実施形態における半導体装置は、図8に示すように、フラッシュメモリ素子として構成されて

いる。より詳しくは、図8において、半導体装置は、シリコン基板内に形成されたPウェル1201、該シリコン基板内に図中左右それぞれに形成されたn型トランジスタのソース1202及びドレイン1202'、これらPウェル1201並びにソース1202及びドレイン1202'上に形成された、本発明に係る絶縁膜1203、
3、該絶縁膜1203上に形成されたフローティングポリシリコンゲート1204、該ゲート1204上に形成された、本発明に係る絶縁膜1205、そして該絶縁膜1205上に形成された制御用ポリシリコンゲート1206を備えている。

【0105】なお、第4実施形態において、絶縁膜1203及び1205は、Ar/NH₃プラズマにより形成されたシリコン窒化膜とされている。

【0106】本発明は、このような形態にあっても適用することが可能である。

【0107】なお、この第4実施形態においても、本発明にいう「下層」は、シリコン基板に該当することとなり、かつ、本発明にいう「半導体層」は当該シリコン基板内に形成されたPウェル1201が該当することになる。

【0108】(製造方法)以下では、上述した第1実施形態における半導体装置の製造方法について、図9を参照しながら説明する。ここに、図9は、第1実施形態における半導体装置の製造プロセスをその工程順に沿って示したフローチャートである。

【0109】なお、本実施形態においては、絶縁膜200としてシリコン酸化膜を形成する方法について説明する(したがって、ここでは「シリコン酸化膜200」と称する。)とともに、それに含まれる希ガスはKrである場合について説明する。

【0110】まず、石英基板、ハードガラス、シリコン基板等の基板10を用意する(ステップS11)。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気中
900~1300℃の高温で熱処理し、後に実施される高温プロセスで基板10に生じる歪が少なくなるように前処理しておく。

【0111】次に、基板10上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する(ステップS12)。この下地絶縁膜12の膜厚は、例えば約500~2000nm程度とする。

【0112】続いて、下地絶縁膜12上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力

約2.0~4.0PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは4~6時間の熱処理を施すことにより固相成長させる。p-Si(ポリシリコン)膜の膜厚は、約10~200nmの厚さ、好ましくは約100nmの厚さとする。固相成長させる方法としては、RTAを使った熱処理でもよいし、エキシマレーザ等を用いたレーザアニールでもよい。この際、画素スイッチング用のTFT30を、nチャネル型とするかpチャネル型とするかに応じて、V族元素やII族元素のドーパントを僅かにイオン注入等によりドーピングしてもよい。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1を形成する(ステップS13)。

【0113】ここで本実施形態においては、半導体層1上に、Krを含むシリコン酸化膜200を形成する(ステップS14)。このシリコン酸化膜200の形成に際しては、図10に示すような装置を利用するとよい。ここに、図10は、本実施形態における半導体装置の製造を実現するための製造装置の一例を示す断面図である。この図10において、該製造装置は、真空容器1407、シャワープレート1401、試料台1404、方形導波管1405及び誘電体板1406を備えている。このような製造装置を用いてシリコン酸化膜200は次のようにして形成される。

【0114】まず、真空容器1407内を所定の真空度(例えば、 1×10^{-5} Torr)となるように排気するとともに、シャワープレート1401からKrガス、O₂ガスを導入し、該真空容器1407内の圧力を1Torr程度に設定する。

【0115】次に、シリコンウェハ等の基板1403を、加熱機構を備えた試料台1404に置き、試料の温度が300℃になるように設定する。ただし、この温度設定は、室温~600℃の範囲内で設定可能であり、該範囲内であれば、本実施形態に係る所望のシリコン酸化膜200を形成することが可能である。

【0116】なお、ここにいう基板1403は、上述した基板10上に下地絶縁膜12を形成したもの又はしないものや、基板10上かつ下地絶縁膜12下に遮光膜を更に形成するもの等に応じて、適宜好適な形態となる基板を意味する。また、基板1403としては、すでに述べたように、基板10内において半導体層が存在する場合等も想定されることになる。

【0117】次に、方形導波管1405のスリットから、誘電体板1406を通して、真空容器1407内に、例えば、2.45GHzのマイクロ波を供給し、真空容器1407内に高密度のプラズマを生成する。ただし、供給するマイクロ波の周波数は、900MHz以上10GHz以下の範囲内で設定可能であり、該範囲内であれば、本実施形態に係る所望のシリコン酸化膜200

を形成することが可能である。

【0118】ここで、シャワープレート1401と基板1403との間隔は、本実施形態では6cmとされている。ただし、本発明はこの間隔を特に限定する意図を有さない。ただ、狭ければ狭い程、高速な成膜が可能となるから、その点を勘案して、適宜、適当な間隔を設定することが可能である。

【0119】このように真空容器1407内にマイクロ波を供給し、供給されたKrガスをプラズマ励起すると、KrガスとO₂ガスが混合された高密度励起プラズマ中で、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*が効率よく発生する。この原子状酸素により、基板1403の表面は酸化される。ちなみに、従来の、シリコン表面の酸化は、H₂O分子、O₂分子により行われ、処理温度は、800℃以上と極めて高いものであったが、本実施形態の原子状酸素による酸化は、550℃以下と十分に低い温度で可能である。

【0120】なお、Kr*とO₂の衝突機会を大きくするには、真空容器1407内の圧力は高い方が好ましいが、あまり高くすると、発生したO*同士が衝突しO₂分子に戻ってしまう。このようなことから最適ガス圧力が決まるが、これは例えば図11に示すようなものとなる。図11は、横軸に真空容器1407内の圧力、縦軸に該圧力環境下で10分間、かつ、KrとO₂の両者の圧力比をKr:O₂=97:3に保って酸化膜の形成を行った後の該酸化膜の厚さをとったグラフである。この図11から、真空容器1407の圧力は800~1200mTorr、より好ましくは1Torr程度とするのが最も好ましい。このとき、シリコン酸化膜200の成膜速度を最大にすることができることがわかる。

【0121】また、シャワープレート1401から供給されるKrとO₂の混合ガスについて、そのO₂の分圧は、真空容器1407内の圧力を1Torrとする場合を考えると、全体の2~4パーセント、より好ましくは3パーセント付近とするとよい。このようにすると、シリコン酸化膜200の成膜速度を最大にすることが可能となる。また、成膜されたシリコン酸化膜200について、界面準位密度を最低にすることが可能となるとともに、絶縁耐性をも最大にすることが可能となる。

【0122】以上のようにして、Krを含むシリコン酸化膜200が形成されたら、図9に戻って次に、該シリコン酸化膜200に対して熱処理を施す(ステップS15)。この熱処理は、好ましくは上述のシリコン酸化膜200形成時における温度よりも高い温度で実施するとよい。具体的には例えば、1000℃程度とするとよい。そして、このとき、シリコン酸化膜200下における下地絶縁膜12には、Krが含まれることになる(図2参照)。この下地絶縁膜12中におけるKrの含有は、上述したように、熱処理の実施による熱拡散が原因であると考えられる。

【0123】以上のような工程を経ると、上記第1実施形態に係る半導体装置は、その完成をみる。

【0124】なお、上記においては、絶縁膜としてシリコン酸化膜を形成する製造方法について説明したが、本発明においては、それに代えて、シリコン窒化膜を形成するようにしてよい。

【0125】この場合においては、シャワープレート1401から送り込む混合ガスを、例えば、Ar又はKr及びNH₃の組み合わせとするか、あるいは、Ar又はKr並びにN₂及びH₂等とする。また、真空容器1407内の圧力は50～1200mTorrの範囲とし、混合ガス中に含まれるNH₃又はN₂の分圧は全体の1～10パーセント、より好ましくは2～6パーセントするとよい。

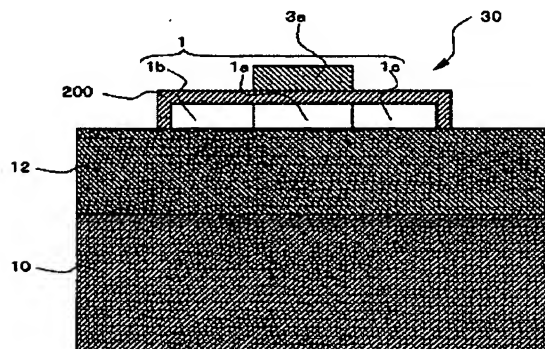
【0126】なお、いま述べたことからわかるように、本発明にいう「窒素の分圧」における「窒素」とは、混合ガス中にNH₃を使用する場合において該NH₃をも意味し、したがって、「窒素の分圧」とは「NH₃の分圧」ということをも意味する概念である。

【0127】ちなみに、これら真空容器1407内の圧力及び窒素分圧の好ましい範囲が画される理由は、上述したシリコン酸化膜の形成について好ましい範囲が画された理由と同じである。すなわち、上述のような範囲内によるシリコン窒化膜の製造を実施すれば、その成膜速度を大きくとることが可能となり、また、形成されたシリコン窒化膜についての界面単位密度を小さく、かつ、絶縁耐性を大きくすること等が可能となる。

【0128】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う半導体装置及びその製造方法並びに薄膜トランジスタもまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】



【図1】本発明の第1実施形態に係る半導体装置の構成を示す概要図である。

【図2】図1に示す下地絶縁膜中における希ガスの含有量を示す図である。

【図3】半導体層がもつ面方位の別に応じて、該半導体層と絶縁膜との界面における界面単位密度がどのように変化するかを示すグラフである。

【図4】図1に示す半導体層の結晶性の程度をラマン分光分析によって計測した結果を示すグラフである。

【図5】本発明の第2実施形態に係る半導体装置の構成を示す概要図である。

【図6】図5に示す基板中における希ガスの含有量を示す図である。

【図7】本発明の第3実施形態に係る半導体装置（強誘電体メモリ素子）の構成を示す概要図である。

【図8】本発明の第4実施形態に係る半導体装置（フラッシュメモリ素子）の構成を示す概要図である。

【図9】本発明の第1実施形態に係る半導体装置の製造方法をその工程順に沿って示すフローチャートである。

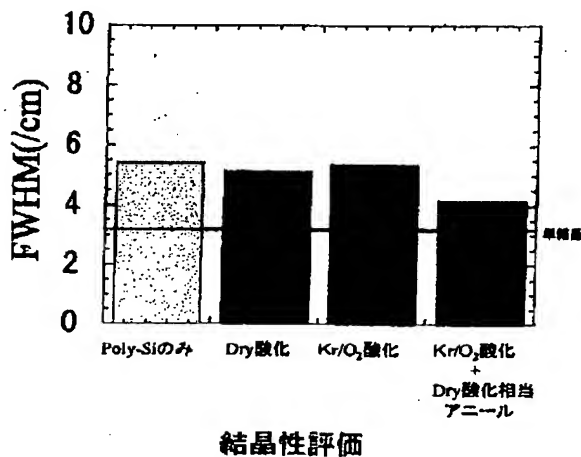
【図10】本発明に係る絶縁膜を形成するのに好適な製造装置の一例を示す概要図である。

【図11】図10に示す製造装置を構成する真空容器内の圧力と、該製造装置によって成膜された酸化膜の厚さとの関係を示すグラフである。

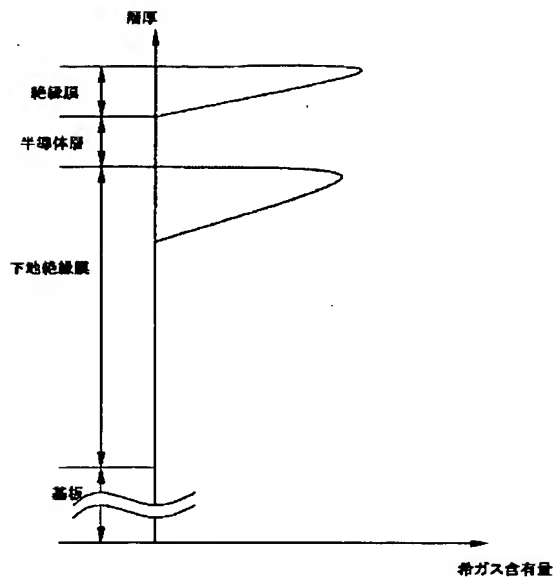
【符号の説明】

- 1…半導体層
- 1a…チャネル領域
- 1b…ソース領域
- 1c…ドレイン領域
- 3a…電極
- 10…基板
- 12…下地絶縁膜
- 30…TFT
- 200…絶縁膜

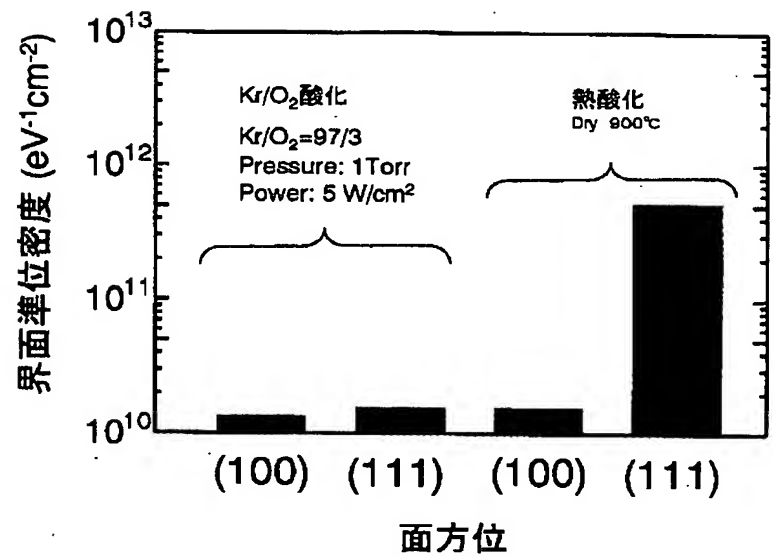
【図4】



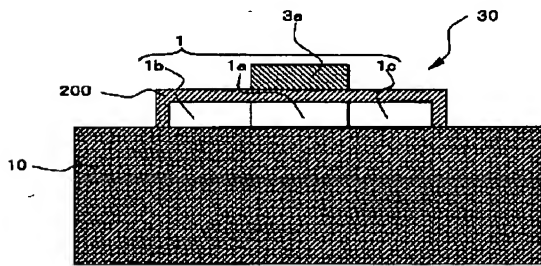
【図2】



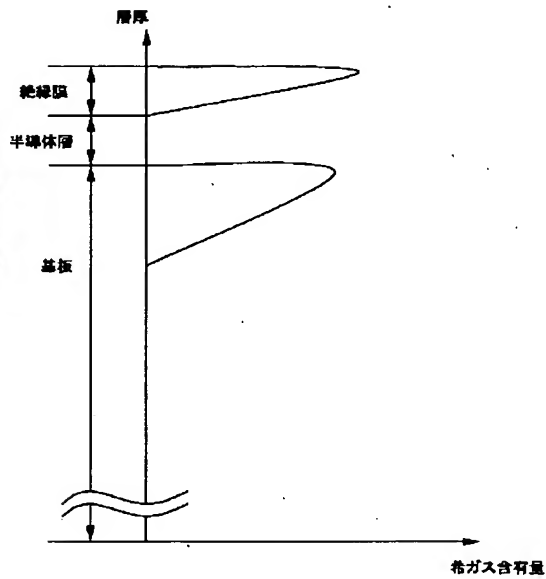
【図3】



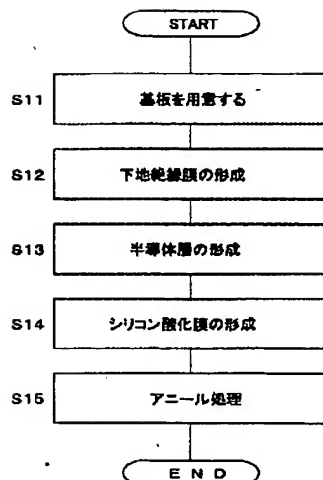
【図5】



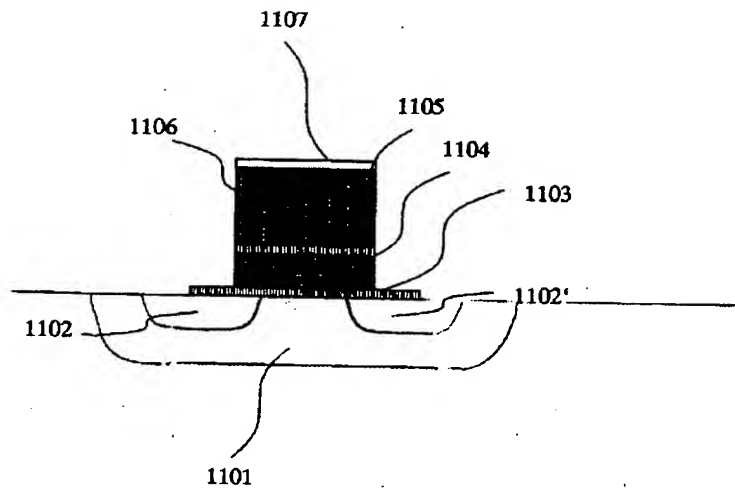
【図6】



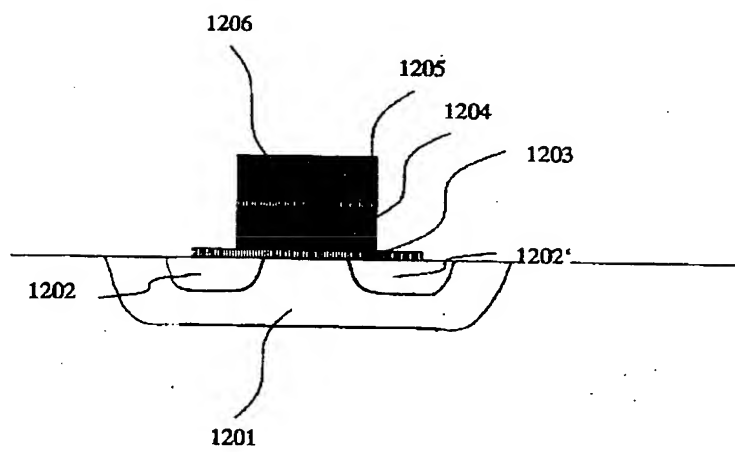
【図9】



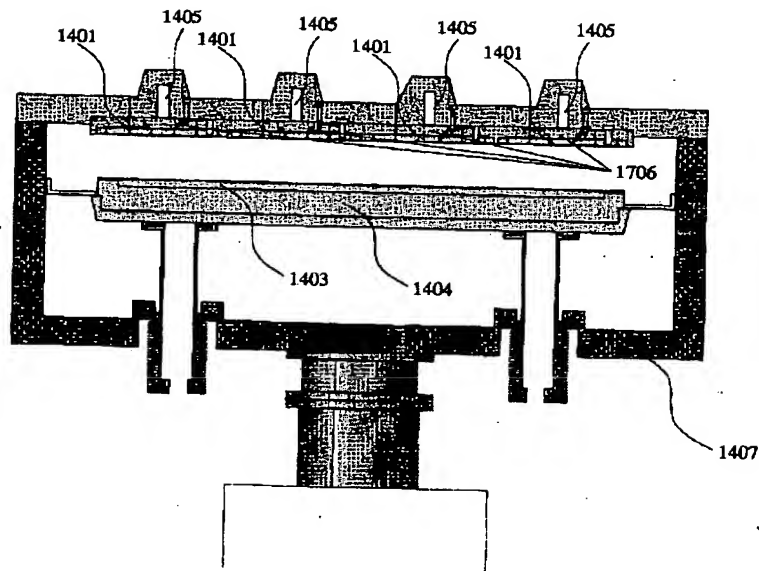
【図7】



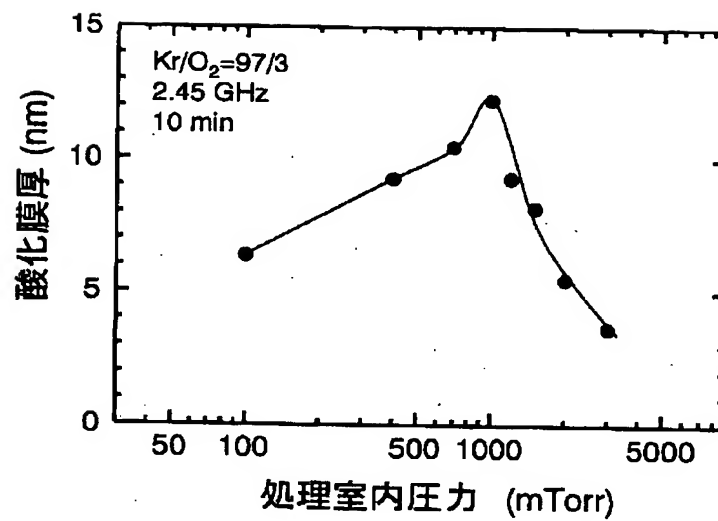
【図8】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/786

29/788

29/792

識別記号

F I

H01L 27/10

テ-マコード (参考)

434

444A

(72)発明者	須川 成利 宮城県仙台市青葉区川内元支倉35-2-102	Fターム(参考)	5F058 BA09 BB04 BC02 BC08 BF73 BF74 BJ10 5F083 EP02 EP23 EP42 EP53 FR07 JA12 JA19 JA38 5F101 BA02 BA29 BA35 BA36 BB05 5F110 AA09 AA12 AA14 BB05 CC02 DD02 DD03 DD05 DD12 DD13 DD14 DD15 DD25 EE09 FF02 FF03 FF07 FF09 FF25 FF36 GG02 GG06 GG13 GG15 GG17 GG24 GG25 GG44 NN41 PP01 PP03 QQ19
(72)発明者	恒川 吉文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内		
(72)発明者	林 朋彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内		